



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0037149  
Application Number

출원 년 월 일 : 2003년 06월 10일  
Date of Application JUN 10, 2003

출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



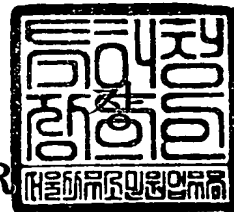
2003 년 10 월 22 일

특

허

청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0001  
**【제출일자】** 2003.06.10  
**【발명의 명칭】** 내부 전압 발생기  
**【발명의 영문명칭】** An internal voltage generator  
**【출원인】**  
**【명칭】** 주식회사 하이닉스반도체  
**【출원인코드】** 1-1998-004569-8  
**【대리인】**  
**【성명】** 강성배  
**【대리인코드】** 9-1999-000101-3  
**【포괄위임등록번호】** 1999-024436-4  
**【발명자】**  
**【성명의 국문표기】** 도창호  
**【성명의 영문표기】** DO, Chang Ho  
**【주민등록번호】** 700103-1696421  
**【우편번호】** 467-850  
**【주소】** 경기도 이천시 대월면 사동리 441-1번지 현대전자아파트 101동 1406 호  
**【국적】** KR  
**【취지】** 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 강성배 (인)  
**【수수료】**  
**【기본출원료】** 17 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 0 항 0 원  
**【합계】** 29,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체 메모리 장치의 비트라인에 사용되는 비트라인 프리차지 전압 또는 메모리 셀 플레이트에 사용되는 셀 플레이트 전압을 공급하는 내부 전압 발생기에 관한 것으로, 제 1 및 제 2 기준전압을 발생하는 기준전압 분배기, 제 1 기준전압을 제 1 입력단으로 수신하여 제 1 차동 신호를 발생하는 제 1 차동 증폭기, 제 2 기준전압을 제 1 입력단으로 수신하여 제 2 차동 신호를 발생하는 제 2 차동 증폭기, 제 1 및 제 2 차동 신호에 의하여 구동되는 드라이버를 구비하며, 반도체 장치의 내부전압으로 사용되는 드라이버의 출력신호는 상기 제 1 차동 증폭기의 제 2 입력단 및 제 2 차동 증폭기의 제 2 입력단으로 인가된다.

본 발명에서는 내부전압 분배기에 사용되는 공급전압을 내부전압인 코아전압으로 함으로써 공급전압이 낮아지는 경우에도 일정한 내부전압(VHALF)을 안정되게 출력할 수 있다. 또한, 본 발명에 따른 내부전압 발생기를 사용하는 경우, 어떤 원인으로 인하여 내부전압이 변동하는 경우에도 목표값으로의 회복을 원활히 함으로써 이를 사용하는 반도체 장치의 안정된 동작을 보장할 수 있다.

**【대표도】**

도 2

## 【명세서】

## 【발명의 명칭】

내부 전압 발생기{An internal voltage generator}

## 【도면의 간단한 설명】

도 1 은 코아 전압의 1/2 전압을 발생시키는 내부 전압 발생기의 일예.

도 2 및 3 은 본 발명에 따른 내부전압 발생기의 제 1, 2 실시예.

도 4 는 도 2 또는 도 3 에 도시된 전압들의 변화를 도시한 그래프.

도 5 는 본 발명에 따른 내부전압 발생기의 동작을 나타낸 그래프.

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <5> 본 발명은 내부 전압 발생기에 관한 것으로, 특히 반도체 메모리 장치의 비트라인에 사용되는 비트라인 프리차지 전압 또는 메모리 셀 플레이트에 사용되는 셀 플레이트 전압을 공급하는 내부 전압 발생기에 관한 것이다.
- <6> 일반적으로, 반도체 장치에 인가되는 외부전압은 반도체 장치의 내부회로에 직접 사용되는 것은 아니다. 왜냐하면, 1) 외부전압이 갑자기 반도체 장치의 내부회로에 직접 인가되면 내부회로의 동작에 이상이 생길 수도 있으며, 2) 또한 외부전압은 노이즈와 함께 섞여 들어오기 때문에 전위 레벨이 불안정하기 때문이다.
- <7> 이러한 이유로 인하여, 반도체 장치에 인가된 외부전압은 내부 버퍼를 통과한 다음 내부 전압으로 사용되는 것이 일반적이다. 여기서, 내부 전압이란 메모리 셀 커패시터의 플레이트

전압으로 사용되는 전압인 VCP, 비트라인 프리차지 전압인 VBLP, 메모리 셀 트랜지스터의 바디 전원인 VBB 등을 의미하지만, 본 명세서에서는 앞의 2 가지 전압을 발생시키는 내부 전압 발생기에 관하여 다루기로 한다.

<8> 일반적으로, 반도체 메모리 장치는 크게 메모리 셀 영역을 포함하는 코아 영역과, 그 주변 영역으로 나누어진다. 여기서, 코아전압 발생기는 반도체 메모리 장치의 주변 영역에 형성되며, 메모리 셀 영역인 코아 영역을 구동하기 위한 내부전압을 발생하는 장치이다. 이에 대하여 보다 상세히 설명하기로 한다.

<9> 반도체 메모리 장치는 데이터 저장 요소인 메모리 셀을 포함하고 있으며, 이 메모리 셀에 저장되는 하이 데이터의 전압(즉, 코아 전압)을 기준으로 특정 전압을 갖는 내부 전압 발생기를 구비한다. 본 발명에서는 이러한 코아전압의 약 1/2 의 전압을 출력하는 내부전압 발생기에 관한 것으로, 대개 메모리 셀 커패시터의 플레이트 전압으로 사용되는 전압인 VCP, 비트라인 프리차지 전압인 VBLP 이 코아 전압의 약 1/2 전압을 필요로 한다.

<10> 이하, 반도체 장치에 사용되는 종래의 내부전압 발생기의 일예에 대하여 설명하기로 한다.

<11> 도 1 은 코아 전압의 1/2 전압을 발생시키는 내부 전압 발생기의 일예이다.

<12> 도시된 바와같이, 종래의 내부 전압 발생기는 코아 전압을 공급전압으로 사용하고 있으며, 또한, 드라이버단을 구동하는 장치가 소오스 팔로우어 형태로 구성되어 있다. 이러한 구성 형태에서 드라이버단을 구동하는 신호(p\_drv)를 만드는 NMOS 트랜지스터(NM0)가 제대로 동작하기 위해서는 노드(P0)의 전압이  $V_{HALF} + V_{th}$

(NMOS 트랜지스터의 임계 전압) 이상이 되어야 한다. 그런데, 공급전원이 저전압화되어가는 현재의 추세로 보면 도 1 의 회로는 동작상의 한계를 가지고 있다. 또한, 풀 다운 드라이버를 구동하는 신호(n\_drv) 역시 출력전압(VHALF)이 낮아지면, 이 신호를 만드는 PMOS 트랜지스터(MP0)가 턴온되기 힘들어지고, 이로 인하여 풀 다운 동작 역시 저전압에서는 정상 동작을 할 수 없다.

**【발명이 이루고자 하는 기술적 과제】**

<13> 본 발명은 전술한 문제점을 해결하기 위하여 제안된 것으로, 내부 전압 발생기에 공급되는 공급전압의 저전압화에 따른 한계를 극복하기 위하여, 내부전압이 변동하는 경우에도 목표값으로의 회복을 원활히 할 수 있는 내부전압 발생기를 제공하고자 한다.

**【발명의 구성 및 작용】**

<14> 본 발명에 따른 내부전압 발생기는 제 1 및 제 2 기준전압을 발생하는 기준전압 분배기, 제 1 기준전압을 제 1 입력단으로 수신하여 제 1 차동 신호를 발생하는 제 1 차동 증폭기, 제 2 기준전압을 제 1 입력단으로 수신하여 제 2 차동 신호를 발생하는 제 2 차동 증폭기, 제 1 및 제 2 차동 신호에 의하여 구동되는 드라이버를 구비하며, 반도체 장치의 내부전압으로 사용되는 드라이버의 출력신호는 제 1 차동 증폭기의 제 2 입력단 및 제 2 차동 증폭기의 제 2 입력단으로 인가된다.

<15> 본 발명에 있어서, 제 1 기준전압은 제 2 기준전압보다 낮으며, 드라이버의 출력신호는 제 1 기준전압보다 높고 제 2 기준전압보다 낮다.

<16> (실시예)

<17> 이하, 도면을 참조하여 본 발명의 실시예에 대하여 보다 구체적으로 설명하기로 한다.

- <18> 참고로, 설명의 편의상 본 명세서에서 사용하는 부호는 다음과 같이 정의하기로 한다.
- <19> VDD: 공급전원
- <20> V<sub>CORE</sub> : 반도체 메모리 장치의 메모리 셀에 하이 레벨의 데이터가 저장되는 경우의 그 전위 레벨을 의미하며, 일반적으로 공급전압(VDD)보다 낮은 전위 레벨을 갖는다.
- <21> VSS : 그라운드 전위
- <22> VREF\_P : 목표로 하는 내부전압보다 낮은 전압치를 갖는 기준전압
- <23> VREF\_N : 목표로 하는 내부전압보다 높은 전압치를 갖는 기준전압
- <24> VBAIS : 차동 증폭기의 동작을 가능하게 하는 바이어스 전압
- <25> VHALF : 본 발명에서 발생시키고자 하는 내부 전압
- <26> 도 2 는 본 발명에 따른 내부전압 발생기의 제 1 실시예이다.
- <27> 도 2 의 내부전압 발생기는 기준전압 분배기(200)와, 제 1 차동 증폭기(222)와 제 2 차동 증폭기(224)를 갖는 비교기(220)와, 드라이버(240)를 구비한다.
- <28> 도시된 바와같이, 기준전압 분배기(200)는 코아전압(V<sub>CORE</sub>)과 접지 전압사이에 직렬로 연결된 복수개의 저항 소자로 구성되며, 제 1 기준전압(VREF\_P) 및 제 2 기준전압(VREF\_N)을 발생한다. 여기서, 제 1 기준전압(VREF\_P)은 제 2 기준전압(VREF\_N)보다 낮으며, 후술하겠지만, 드라이버의 출력신호(VHALF)는 제 1 기준전압(VREF\_P)보다 높고 제 2 기준전압(VREF\_N)보다 낮도록 선택된다.
- <29> 다음, 비교기(220)를 구성하는 제 1 및 제 2 차동 증폭기(222, 224)는 커런트 미러형의 부하단을 갖는 일반적인 2 입력 차동 증폭기이다.

- <30> 제 1 차동 신호(p\_drv)를 발생시키는 제 1 차동 증폭기(222)는 제 1 입력단과 제 2 입력단을 가지며, 제 1 기준전압(VREF\_P)은 제 1 차동 증폭기(222) 제 1 입력단으로 인가된다.
- <31> 제 2 차동 신호(n\_drv)를 발생시키는 제 2 차동 증폭기(224)는 제 1 입력단과 제 2 입력단을 가지며, 제 2 기준전압(VREF\_N)은 제 2 차동 증폭기(224) 제 1 입력단으로 인가된다.
- <32> 드라이버(240)는 제 1 및 제 2 차동 신호(p\_drv, n\_drv)에 의하여 구동되며, 반도체 장치의 내부전압으로 사용되는 드라이버(240)의 출력신호(VHALF)는 제 1 차동 증폭기(222)의 제 2 입력단 및 상기 제 2 차동 증폭기(224)의 제 2 입력단으로 피드백되어 인가된다.
- <33> 구성에 있어서, 드라이버(240)는 공급전압(VDD)과 접지전압(VSS)사이에서 직렬 연결된 PMOS 트랜지스터와 NMOS 트랜지스터를 포함한다. 여기서, 제 1 차동 신호(p\_drv)는 PMOS 트랜지스터의 게이트에 인가되고, 제 2 차동 신호(n\_drv)는 NMOS 트랜지스터의 게이트에 인가되며, 드라이버의 출력신호(VHALF)는 직렬 연결된 PMOS 트랜지스터와 NMOS 트랜지스터의 중간 노드로부터 출력된다.
- <34> 이하, 도 2 에 도시된 내부전압 발생기의 동작에 대하여 구체적으로 설명하기로 한다.
- <35> 먼저, 기준전압 발생기(200)는 코어전압(VCORE)과 접지전압(VSS)사이에서 저항 소자를 연결하고 그로부터 2 개의 노드로부터 각각 제 1 기준전압(VREF\_P)과 제 2 기준전압(VREF\_N)을 출력한다.
- <36> 다음, 비교기(220)는 드라이버(240)의 풀업 소자인 PMOS 트랜지스터를 구동하기 위한 제 1 차동 증폭기(222)와 드라이버(240)의 풀다운 소자인 NMOS 트랜지스터를 구동하기 위한 제 2 차동 증폭기(224)를 구비한다.



- <37> 제 1 및 제 2 차동 증폭기(222, 224)에 공통으로 입력되는 바이어스 전압 (VBIAS)은 제 1 및 제 2 차동 증폭기(222, 224)의 전류 소오스로 사용되는 NMOS 트랜지스터의 게이트에 인가되어 차동 증폭기의 동작을 가능하게 하는 전압으로서, NMOS 트랜지스터의 임계전압보다 높은 전압치를 갖는 것이 바람직하다.
- <38> 다음, 풀업 소자인 PMOS 트랜지스터를 구동하는 제 1 차동 증폭기(222)는 출력전압 (VHALF)의 목표치보다 낮은 제 1 기준전압(VREF\_P)을 제 1 입력단으로 수신하고 제 2 입력단으로 드라이버(240)의 출력전압(VHALF)을 피드백받아 수신한다. 따라서, 출력전압(VHALF)의 전압 레벨이 제 1 기준전압(VREF\_P)의 전압 레벨보다 낮으면, 제 1 차동 증폭기의 출력전압인 제 1 차동 신호(p\_drv)의 전압 레벨은 로우 레벨로 되어 풀업 소자인 PMOS 트랜지스터를 구동하여 드라이버(240)의 출력전압(VHALF)의 전압 레벨을 상승시킨다. 그러나, 상승된 출력전압(VHALF)의 전압 레벨이 제 1 기준전압(VREF\_P)보다 높으면, 제 1 차동 증폭기(222)의 출력전압인 제 1 차동 신호(p\_drv)는 하이 레벨로 되어 풀업 소자인 PMOS 트랜지스터를 턴오프시킨다. 따라서, 드라이버(240)의 출력전압(VHALF)의 전압 레벨은 제 1 기준전압 (VREF\_P)보다 높은 전압 레벨을 유지하게 된다.
- <39> 다음, 풀다운 소자인 NMOS 트랜지스터를 구동하는 제 2 차동 증폭기(224)는 출력전압 (VHALF)의 목표치보다 높은 제 2 기준전압(VREF\_N)을 제 1 입력단으로 수신하고 제 2 입력단으로 드라이버(240)의 출력전압(VHALF)을 피드백받아 수신한다. 따라서, 출력전압(VHALF)의 전압 레벨이 제 2 기준전압(VREF\_N)의 전압 레벨보다 높으면, 제 2 차동 증폭기의 출력전압인 제 2 차동 신호(n\_drv)의 전압 레벨은 하이 레벨로 되어 풀다운 소자인 NMOS 트랜지스터를 구동하여 드라이버(240)의 출력전압(VHALF)의 전압 레벨을 하강시킨다. 그러나, 하강된 출력전압(VHALF)의 전압 레벨이 제 2 기준전압(VREF\_N)보다 낮아지면, 제 2 차동 증폭기(224)의 출력

전압인 제 2 차동 신호( $n_{drv}$ )는 로우 레벨로 되어 풀다운 소자인 NMOS 트랜지스터를 턴오프시킨다. 따라서, 드라이버(240)의 출력전압( $V_{HALF}$ )의 전압 레벨은 제 2 기준전압 ( $V_{REF\_N}$ )보다 낮은 전압 레벨을 유지하게 된다.

<40> 다음, 드라이버(240)에 대하여 설명한다.

<41> 동작에 있어서, 드라이버(240)를 구성하는 풀업 소자인 PMOS 트랜지스터와 풀다운 소자인 NMOS 트랜지스터는 다음과 같이 Tri-state 형태로 제어된다.

<42> 1) 출력전압( $V_{HALF}$ )이 제 1 기준전압( $V_{REF\_P}$ )보다는 높고 제 2 기준전압( $V_{REF\_N}$ )보다는 낮은 전압 레벨을 가지는 경우, 풀업 소자인 PMOS 트랜지스터와 풀다운 소자인 NMOS 트랜지스터가 모두 턴온 상태이다.

<43> 2) 출력전압( $V_{HALF}$ )이 제 2 기준전압( $V_{REF\_N}$ )보다 높은 전압 레벨을 가지는 경우, 풀업 소자인 PMOS 트랜지스터는 턴오프이고 풀다운 소자인 NMOS 트랜지스터가 턴온되어 출력전압( $V_{HALF}$ )을 하강시킨다.

<44> 3) 출력전압( $V_{HALF}$ )이 제 1 기준전압( $V_{REF\_N}$ )보다 낮은 전압 레벨을 가지는 경우, 풀업 소자인 PMOS 트랜지스터는 턴온되고 풀다운 소자인 NMOS 트랜지스터는 턴오프되어 출력전압( $V_{HALF}$ )을 상승시킨다.

<45> 따라서, 본 발명에 따른 내부전압 발생기의 출력전압( $V_{HALF}$ )은 제 1 기준전압( $V_{REF\_P}$ )과 제 2 기준전압( $V_{REF\_N}$ )사이의 값을 가지게 된다.

<46> 본 발명에 있어서, 출력전압( $V_{HALF}$ )은 제 1 기준전압( $V_{REF\_P}$ )과 제 2 기준전압( $V_{REF\_N}$ )사이에서 변동하게 되는데, 그 변동폭을 줄이고자 한다면, 기준전압 분배기(200)의 저항값을 적절히 조절하여 그 변동폭을 조절할 수 있다. 또한, 출력전압( $V_{HALF}$ )의 평균적인 전압 레벨

을 높이거나 낮추고자 할 때에도 기준 전압 분배기의 저항비를 조정함으로써 출력전압(VHALF)의 평균적인 전압 레벨을 조절할 수 있다.

<47> 도 3 은 본 발명에 따른 내부전압 발생기의 제 2 실시예이다.

<48> 도 2 에 도시된 제 1 실시예와 다른 점은 일반적인 기준전압 발생기(레퍼런스 레귤레이터)를 사용하여 제 1 및 제 2 기준전압(VREF\_P, VREF\_N)을 발생시킨다는 점이다. 즉, 공급전압(VDD)에 의하여 동작하는 일반적인 기준전압 발생기(레퍼런스 레귤레이터)를 사용한다는 점이다. 제 2 실시예의 경우, 내부전압의 일종인 코아전압(VCORE)을 사용하는 제 1 실시예의 경우에 비하여 보다 안정된 기준전압을 발생시킬 수 있으므로, 코아전압(VCORE)에 연동되지 않는 출력전압(VHALF)을 발생시킬 수 있다.

<49> 전술한 바와같이, 본 발명에 따른 내부전압 발생기는 메모리 장치의 비트라인 프리차지 전압이나 셀 플레이트 전압으로 사용되지만, 반도체 메모리 장치에서 사용되는 다양한 내부전압 발생기에도 적용될 수 있다.

<50> 도 4 는 반도체 메모리 장치에 인가된 공급전압(VDD)이 상승하는 경우, 도 2 또는 도 3 에 도시된 전압들의 변화를 도시한 그래프이다. 도시된 바와같이, 공급전압(VDD)이 인가된 다음, 일정 시간이 경과한 경우, 원하는 내부전압(VHALF)은 기준전압(VREF\_P, VREF\_N)사이 에 존재하게 된다.

<51> 도 5 는 반도체 메모리 장치가 동작하는 경우, 본 발명에 따른 내부전압 발생기의 동작을 나타낸 그래프이다.

<52> 도시된 바와같이, 내부전압 발생기에 의하여 발생된 내부전압(VHALF)에 변동이 있는 경우,

- <53> 제 1 기준전압(VREF\_P)과 제 2 기준전압(VREF\_N)사이에 존재하는 내부전압(VHALF)의 전압 레벨이 반도체 메모리 장치의 동작으로 인하여 낮아지는 경우, 제 1 차동증폭기의 출력인 제 1 차동 신호(p\_drv)가 로우 레벨로 천이하며, 풀업 소자인 PMOS 트랜지스터의 소오스 전압(VDD)과 제 1 차동 신호(p\_drv)의 전압간의 차이가 풀업 소자인 PMOS 트랜지스터의 임계전압( $V_t$ )이상이 되면 풀업 소자인 PMOS 트랜지스터가 턴온되어 내부전압(VHALF)을 상승시켜 내부전압(VHALF)을 제 1 기준전압(VREF\_P)과 제 2 기준전압(VREF\_N)사이에 존재하도록 한다.
- <54> 마찬가지로, 제 1 기준전압(VREF\_P)과 제 2 기준전압(VREF\_N)사이에 존재하는 내부전압(VHALF)의 전압 레벨이 어떤 원인으로 인하여 높아지는 경우, 제 2 차동증폭기의 출력인 제 2 차동 신호(n\_drv)가 하이 레벨로 천이하며, 풀다운 소자인 NMOS 트랜지스터의 제 1 차동 신호(p\_drv)의 전압과 소오스 전압(VSS)간의 차이가 풀다운 소자인 NMOS 트랜지스터의 임계전압( $V_t$ )이상이 되면 풀다운 소자인 NMOS 트랜지스터가 턴온되어 내부전압(VHALF)을 하강시켜 내부전압(VHALF)을 제 1 기준전압(VREF\_P)과 제 2 기준전압(VREF\_N)사이에 존재하도록 한다.
- <55> 전술한 바와같이, 본 발명에 있어서, 출력전압(VHALF)은 제 1 기준전압(VREF\_P)과 제 2 기준전압(VREF\_N)사이에서 변동하게 되는데, 그 변동폭을 줄이고자 한다면, 기준전압 분배기(200)의 저항값을 적절히 조절하여 그 변동폭을 조절할 수 있음을 알 수 있을 것이다. 또한, 출력전압(VHALF)의 평균적인 전압 레벨을 높이거나 낮추고자 할 때에도 기준 전압 분배기의 저항비를 조정함으로써 출력전압(VHALF)의 평균적인 전압 레벨을 조절할 수 있음을 알 수 있을 것이다.

## 【발명의 효과】

- <56>        이상에서 알 수 있는 바와같이, 본 발명에서는 내부전압 분배기에 사용되는 공급전압을 내부전압인 코아전압으로 함으로써 공급전압이 낮아지는 경우에도 일정한 내부전압(VHALF)을 안정되게 출력할 수 있다.
- <57>        또한, 본 발명에 따른 내부전압 발생기를 사용하는 경우, 어떤 원인으로 인하여 내부전압이 변동하는 경우에도 목표값으로의 회복을 원활히 함으로써 이를 사용하는 반도체 장치의 안정된 동작을 보장할 수 있다.

**【특허청구범위】****【청구항 1】**

제 1 및 제 2 기준전압을 발생하는 기준전압 분배기,

상기 제 1 기준전압을 제 1 입력단으로 수신하여 제 1 차동 신호를 발생하는 제 1 차동 증폭기,

상기 제 2 기준전압을 제 1 입력단으로 수신하여 제 2 차동 신호를 발생하는 제 2 차동 증폭기,

상기 제 1 및 제 2 차동 신호에 의하여 구동되는 드라이버를 구비하며,

반도체 장치의 내부전압으로 사용되는 상기 드라이버의 출력신호는 상기 제 1 차동 증폭기의 제 2 입력단 및 상기 제 2 차동 증폭기의 제 2 입력단으로 인가되는 것을 특징으로 하는 내부전압 발생기.

**【청구항 2】**

제 1 항에 있어서, 상기 제 1 기준전압은 상기 제 2 기준전압보다 낮은 것을 특징으로 하는 내부전압 발생기.

**【청구항 3】**

제 1 항에 있어서, 상기 드라이버의 출력신호는 상기 제 1 기준전압보다 높고 상기 제 2 기준전압보다 낮은 것을 특징으로 하는 내부전압 발생기.

**【청구항 4】**

제 1 항에 있어서,

상기 드라이버는 직렬 연결된 PMOS 트랜지스터와 NMOS 트랜지스터로 구성되며,

상기 제 1 차동 신호는 상기 PMOS 트랜지스터의 게이트에 인가되고, 상기 제 2 차동 신호는 상기 NMOS 트랜지스터의 게이트에 인가되는 것을 특징으로 하는 내부전압 발생기.

【청구항 5】

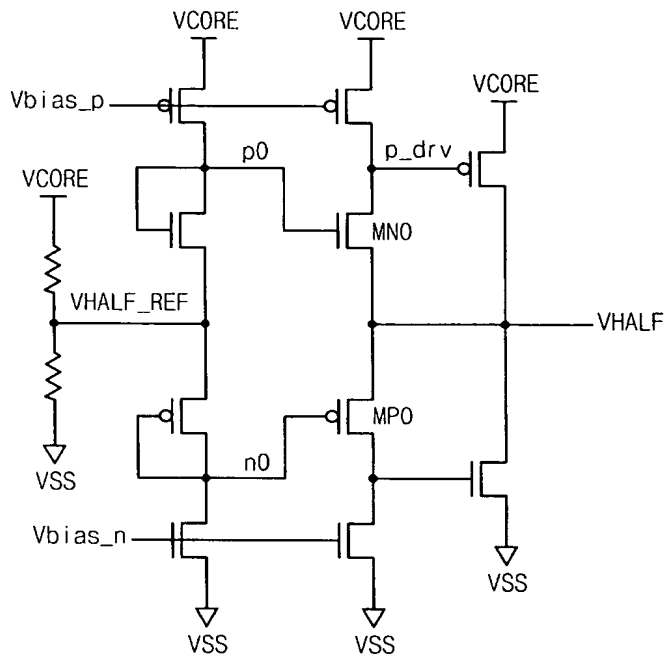
제 4 항에 있어서, 상기 드라이버의 출력신호는 직렬 연결된 상기 PMOS 트랜지스터와 상기 NMOS 트랜지스터의 중간 노드로부터 출력되는 것을 특징으로 하는 내부전압 발생기.

【청구항 6】

제 1 항에 있어서, 상기 기준전압 분배기의 공급전압은 상기 반도체 장치의 내부에서 발생된 또 다른 내부전압을 사용하는 것을 특징으로 하는 내부전압 발생기.

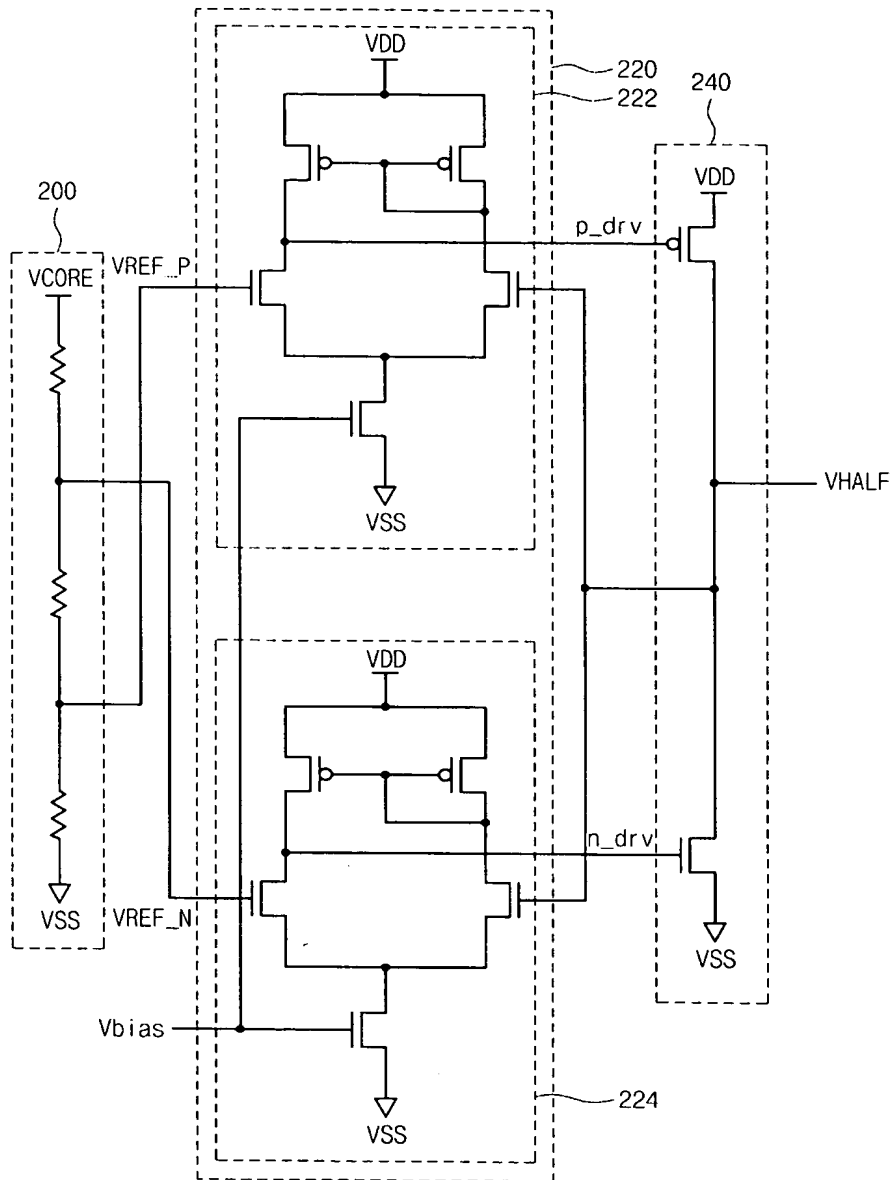
## 【도면】

【도 1】

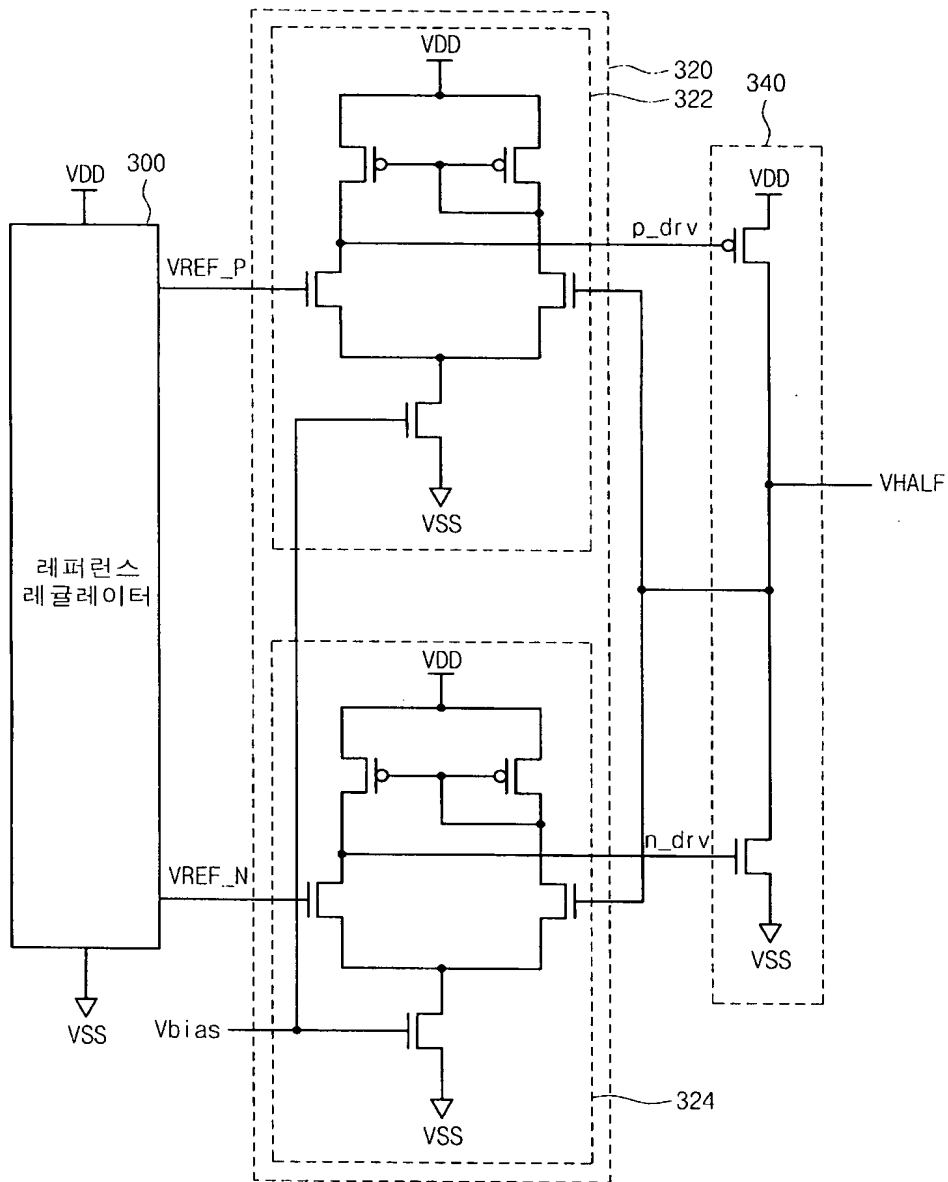




【도 2】

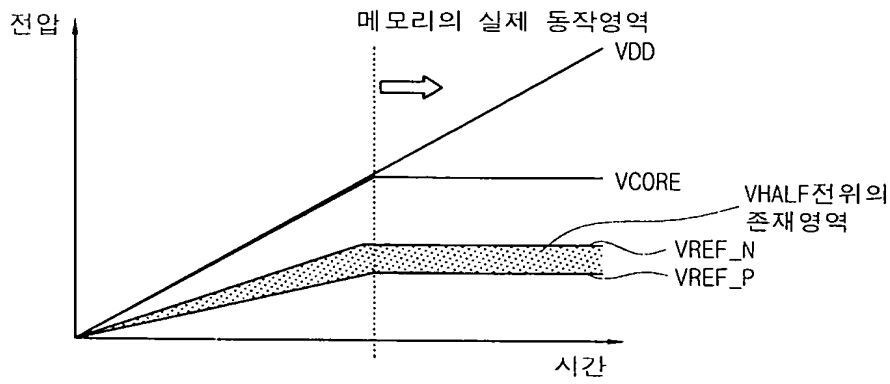


【도 3】





【도 4】



【도 5】

